

РОССИЙСКАЯ ФЕДЕРАЦИЯ



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(19) **RU** (11) **2 801 743** (13) **C1**
(51) МПК
H03K 3/00 (2006.01)

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

Статус: действует (последнее изменение статуса: 31.05.2024)
Пошлина: учтена за 3 год с 07.03.2025 по 06.03.2026. Установленный срок для уплаты пошлины за 4 год: с 07.03.2025 по 06.03.2026. При уплате пошлины за 4 год в дополнительный 6-месячный срок с 07.03.2026 по 06.09.2026 размер пошлины увеличивается на 50%.

(52) СПК

H03K 3/00 (2023.05); H03K 3/84 (2023.05)

(21)(22) Заявка: **2023105091**, 06.03.2023

(24) Дата начала отсчета срока действия патента:
06.03.2023

Дата регистрации:
15.08.2023

Приоритет(ы):

(22) Дата подачи заявки: **06.03.2023**

(45) Опубликовано: **15.08.2023** Бюл. № **23**

(56) Список документов, цитированных в отчете о поиске: **SU 1676074 A2, 07.09.1991. RU 2011302 C1, 15.04.1994. SU 1608658 A1, 23.11.1990. US 7139397 B2, 21.11.2006.**

Адрес для переписки:
190000, Санкт-Петербург, ул. Большая Морская, 67, лит. А, ГУАП, ЦКНИ

(72) Автор(ы):

**Григорьев Евгений Константинович (RU),
Сергеев Александр Михайлович (RU),
Ненашев Вадим Александрович (RU),
Куртяник Даниил Владимирович (RU)**

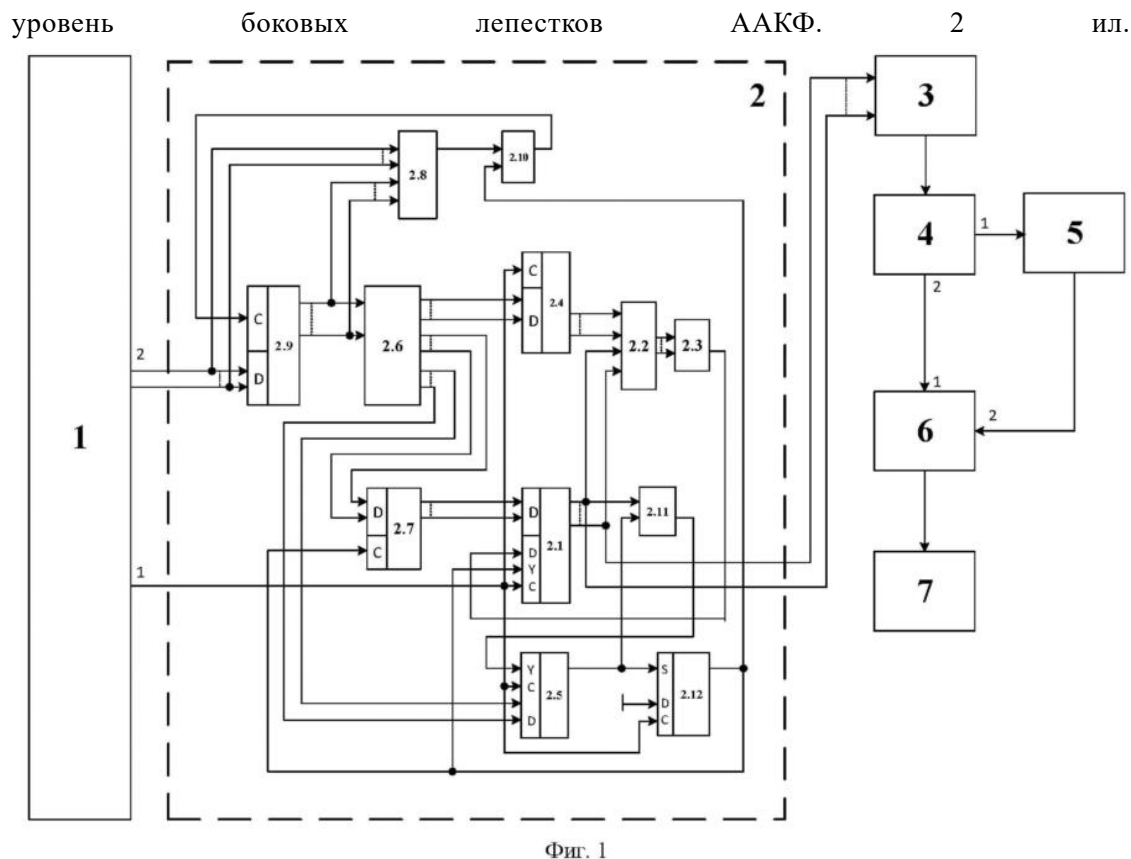
(73) Патентообладатель(и):

Федеральное государственное автономное образовательное учреждение высшего образования "Санкт-Петербургский государственный университет аэрокосмического приборостроения" (RU)

(54) Устройство формирования модифицированных М-последовательностей

(57) Реферат:

Изобретение относится к вычислительной технике и может быть использовано в системах радиолокации, связи и устройствах формирования сложных сигналов. Техническим результатом является генерация модифицированных М-последовательностей, а также снижение уровня боковых лепестков апериодической автокорреляционной функции. Технический результат достигается за счет новых существенных отличий, заключающихся во введении дополнительных блоков синхронизации и управления, блока формирования циклической матрицы, блока замены элементов, блока транспонирования, блока умножения матриц и блока модификации М-последовательностей, соединенных особым образом, которые позволяют модифицировать М-последовательности, а также позволяют снизить



Изобретение относится вычислительной технике и может быть использовано в системах радиолокации, связи и устройствах формирования сложных сигналов.

Известны цифровые автоматы для формирования М-последовательностей (Варакин Л.Е. Системы связи с шумоподобными сигналами. - М.: Радио и связь, 1985. - 384 с., ил. стр.54). Основу которых составляют сдвигающие регистры с триггерами, для определения структуры которых необходимо знать характеристический многочлен определенной степени.

Недостатком данных устройств является, необходимость синтеза под каждую длину и вид М-последовательности отдельного цифрового автомата.

Известен «Генератор М-последовательностей» (Патент СССР №1338020 А1, МПК Н03К 3/84, опубл. 15.09.1987 г., Бюл. №34).

Содержащее регистр сдвига, группу элементов И, сумматор по модулю два, три регистра, счетчик, генератор тактовых импульсов, постоянно запоминающее устройство ПЗУ, элемент И, блок сравнения и шины управления. Устройство позволяет генерировать М-последовательности различного вида.

Недостатком устройства является возможность генерации разных типов М-последовательностей только в пределах одной длины М-последовательности, и невозможность управления длиной М-последовательности.

Наиболее близким из числа известных технических решений является «Генератор М-последовательностей» (Патент СССР №1676074 А2, МПК Н03/84, опубл. 07.09.1991 г., Бюл. №33), включающее в себя регистр сдвига, группу элементов И, сумматор по модулю два, первый, второй и третий регистры, счетчик, генератор тактовых импульсов, постоянное запоминающее устройство (ПЗУ), элемент И, блок сравнения, шины управления, элемент ИЛИ и триггер, причем шины управления соединены с соответствующими информационными входами третьего регистра и соответствующими входами второй группы входов блока сравнения, выход которого соединен с первым входом элемента И, выход которого соединен с входом синхронизации третьего регистра, выходы которого соединены с соответствующими входами первой группы входов блока сравнения и с соответствующими входами ПЗУ, выходы второй группы выходов которого соединены с соответствующими информационными входами первого регистра, выходы которого соединены с вторыми входами соответствующих элементов И группы элементов И, выходы элементов И которой соединены с входами сумматора по модулю два, выход которого соединен с информационным входом регистра сдвига, выходы которого соединены с первыми входами соответствующих элементов И. Выходы первой группы выходов ПЗУ соединены с соответствующими информационными входами второго регистра, выходы которого соединены с соответствующими установочными входами регистра

сдвига, вход управления которого соединен с входом синхронизации второго регистра, вторым входом элемента И и выходом триггера, S-вход которого объединен с вторым входом элемента ИЛИ и выходом счетчика, вход синхронизации которого соединен с входом синхронизации регистра, входом синхронизации триггера, выходом генератора тактовых импульсов и входом синхронизации регистра сдвига, выход первого разряда которого соединен с первым входом элемента ИЛИ, выход которого соединен с входом установки счетчика, информационные входы которого подключены к выходам третьей группы выходов ПЗУ, D-вход триггера подключен к общей шине.

Устройство прототип работает следующим образом. При включении устройства начинает работать генератор тактовых импульсов, а регистр сдвига, второй и третий регистры устанавливаются в произвольные состояния. При этом состояние третьего регистра определяет адрес для выбора из ПЗУ значений полинома конкретной М-последовательности, конкретное значение кода начальной установки и конкретное значение кода максимального количества нулей последовательности (вторая, первая и третья группа выходов, соответственно). Таким образом, при первоначальном включении генератора М-последовательностей обеспечивается организация обратных связей регистра сдвига, при которых формируется одна из возможных последовательностей. Далее, если начальное состояние регистра сдвига не нулевое, то устройство формирует произвольную М-последовательность (из заданных в ПЗУ) до появления в ней серии из нулей, количество которых соответствует коду на выходах третьей группы выходов ПЗУ и, следовательно, до появления на выходе заема счетчика импульса. Если все разряды регистра сдвига имеют нулевое начальное состояние, то счетчик, работающий в реверсивном режиме, начинает считать (вычитать) импульсы с выхода генератора тактовых импульсов, так как на его установочном входе отсутствует сигнал установки логической единицы. После того как количество тактовых импульсов станет равным числу, с которого счетчик начал счет, на его выходе заема сформируется импульс, поступающий через элемент ИЛИ на вход установки счетчика в исходное состояние и на S-вход триггера. Триггер из короткого импульса с выхода счетчика формирует импульс длительностью, равной тактовому периоду, который поступает на вход синхронизации второго регистра, в котором хранится код начальной установки, второй вход элемента И и вход управления регистра сдвига, переводя его в режим записи по установочным входам информации с второго регистра. Если вид М-последовательности, устанавливаемой кодом на шинах управления, не совпадает с содержимым третьего регистра, то на выходе блока сравнения появляется разрешающий сигнал, открывающий элемент И и позволяющий импульсу с выхода триггера пройти на вход синхронизации регистра. По переднему фронту импульса происходит запись двоичного кода с шин управления в третий регистр. Этот код обеспечивает выборку из нулевой ячейки ПЗУ информации о виде обратных связей, которая импульсом генератора тактовых импульсов записывается в регистр, кода начальной установки, который записывается во второй регистр, и кода длины нулевой комбинации, который записывается импульсами (логической единицей) с выхода регистра сдвига в счетчик. По сигналу генератора тактовых импульсов происходит перезапись кода начальной установки в регистр сдвига. Таким образом, за время действия импульса с выхода триггера происходит занесение необходимого кода вида М-последовательности в третий регистр, выбор кода обратных связей и кода начальной установки для регистра сдвига, запись их в первый и второй регистры и перезаписью в регистр сдвига. При этом в первый разряд регистра сдвига записывается единица, которая устанавливает счетчик в исходное состояние. Это происходит при первоначальном включении генератора М-последовательностей. В установившемся режиме во время действия импульса с выхода триггера происходит подтверждение состояний первого и второго регистров и постоянная запись одного и того же начального состояния в регистр сдвига. Для изменения вида генерируемой последовательности достаточно изменить код вида М-последовательностей на шинах управления. В результате этого появляется сигнал разрешения на выходе блока сравнения, во время действия ближайшего импульса с выхода триггера происходит смена кода в регистре. Новые коды из ПЗУ записываются в первый и второй регистры, регистр сдвига и счетчик, что обеспечивает формирование М-последовательности другого вида, смена которого происходит в кратные периоды последовательности моменты времени.

Недостатком известного устройства прототипа является невозможность генерации модифицированных вариантов М-последовательностей, а также наличие боковых лепестков в апериодической автокорреляционной функции (ААКФ).

Задачей изобретения является создание устройства, позволяющего генерировать модифицированные М-последовательности, и как следствие - снижать уровень боковых лепестков ААКФ.

Технический результат предлагаемого изобретения является генерация модифицированных М-последовательностей, а также снижение уровня боковых лепестков аperiodической автокорреляционной функции.

Технический результат достигается тем, что в устройство формирования модифицированных М-последовательностей, содержащее регистр сдвига, группу элементов И, сумматор по модулю два, первый регистр, счетчик, ПЗУ, второй регистр, блок сравнения, третий регистр, элемент И, элемент ИЛИ и триггер, причем выход блока сравнения соединен с первым входом элемента И, выход которого соединен с входом синхронизации третьего регистра, выходы которого соединены с соответствующими входами первой группы входов блока сравнения и с соответствующими входами ПЗУ, выходы второй группы выходов которого соединены с соответствующими информационными входами первого регистра, выходы которого соединены с вторыми входами соответствующих элементов И группы элементов И, выходы элементов И которой соединены с входами сумматора по модулю два, выход которого соединен с информационным входом регистра сдвига, выходы которого соединены с первыми входами соответствующих элементов И, выходы первой группы выходов ПЗУ соединены с соответствующими информационными входами второго регистра, выходы которого соединены с соответствующими установочными входами регистра сдвига, вход управления которого соединен с входом синхронизации второго регистра, вторым входом элемента И и выходом триггера, S-вход которого объединен со вторым входом элемента ИЛИ и выходом счетчика, вход синхронизации которого соединен с входом синхронизации регистра сдвига, входом синхронизации триггера и входом синхронизации регистра сдвига, выход первого разряда которого соединен с первым входом элемента ИЛИ, выход которого соединен с входом установки счетчика, информационные входы которого подключены к выходам третьей группы выходов ПЗУ, D-вход триггера подключен к общей шине, при этом в устройство дополнительно введены блок синхронизации и управления, блок формирования циклической матрицы, блок замены элементов, блок транспонирования, блок умножения матриц и блок модификации М-последовательностей, причем первый выход блока синхронизации и управления соединен с входом синхронизации регистра сдвига, а вторая группа выходов соединена с соответствующими информационными входами третьего регистра и соответствующими входами второй группы входов блока сравнения, группа выходов регистра сдвига соединена с соответствующей группой входов блока формирования циклической матрицы, выход которого соединен с входом блока замены элементов, первый выход которого соединен с блоком транспонирования, выход которого соединен со вторым входом блока умножения матриц, первый вход которого соединен со вторым выходом блока замены элементов, выход блока умножения матриц соединен со входом блока модификации М-последовательностей.

Технический результат достигается за счет новых существенных отличий, заключающихся во введении дополнительных блоков синхронизации и управления, блока формирования циклической матрицы, блока замены элементов, блока транспонирования, блока умножения матриц и блока модификации М-последовательностей, соединенных особым образом, которые позволяют модифицировать М-последовательности, а также позволяют снизить уровень боковых лепестков ААКФ.

Сущность изобретения поясняется чертежами, где

На фиг. 1 представлена схема устройства формирования модифицированных М-последовательностей и введены следующие обозначения:

- 1 - Блок синхронизации и управления;
- 2 - Блок формирования исходных М-последовательностей;
- 2.1 - Регистр сдвига;
- 2.2 - Группа элементов И;
- 2.3 - Сумматор по модулю два;
- 2.4 - Первый регистр;
- 2.5 - Счетчик;
- 2.6 - ПЗУ;
- 2.7 - Второй регистр;
- 2.8 - Блок сравнения;
- 2.9 - Третий регистр;
- 2.10 - Элемент И;

- 2.11 - Элемент ИЛИ;
- 2.12 - Триггер;
- 3 - Блок формирования циклической матрицы;
- 4 - Блок замены элементов;
- 5 - Блок транспонирования;
- 6 - Блок умножения матриц;
- 7 - Блок модификации М-последовательностей;

На фиг. 2 представлена иллюстрация снижения уровня боковых лепестков для исходной и модифицированной М-последовательностей.

Устройство состоит из блока синхронизации и управления (1), блока формирования исходных М-последовательностей (2) включающего в себя регистр сдвига (2.1), группу элементов И (2.2), сумматор по модулю два (2.3), первый регистр (2.4), счетчик (2.5), ПЗУ (2.6), второй регистр (2.7), блок сравнения (2.8), третий регистр (2.9), элемент И (2.10), элемент ИЛИ (2.11) и триггер (2.12), блок формирования циклической матрицы (3), блок замены элементов (2.4), блок транспонирования (5), блок умножения матриц (6), блок модификации М-последовательностей (7), причем первый выход блока синхронизации и управления соединен с входами синхронизации (С) регистра сдвига (2.1), первого регистра (2.4), счетчика (2.5) и триггера (2.12), а вторая группа выходов соединена с группой информационных (D) входов третьего регистра (2.9) и соответствующими входами второй группы входов блока сравнения (2.8), выход которого соединен с первым входом элемента И (2.10), выход которого соединен с входом синхронизации (С) третьего регистра (2.9), группа выходов которого соединена с соответствующими входами первой группы входов блока сравнения (2.8), и с соответствующими входами ПЗУ (2.6), выходы второй группы выходов которого соединены с соответствующими информационными входами первого регистра (2.4), выходы которого соединены с вторыми входами соответствующих элементов И группы элементов И (2.2), выходы элементов И которой соединены с входами сумматора по модулю два (2.3), выход которого соединен с информационным входом регистра сдвига (2.1), выходы которого соединены с первыми входами соответствующих элементов И (2.2). Выходы первой группы выходов ПЗУ (2.6) соединены с соответствующими информационными входами (D) второго регистра (2.7), выходы которого соединены с соответствующими установочными входами регистра сдвига (2.1), вход управления которого соединен с входом синхронизации второго регистра (2.7), вторым входом элемента И (2.10) и выходом триггера (2.12), S вход которого объединен с вторым входом элемента ИЛИ (2.11) и выходом счетчика (2.5). Выход первого разряда регистра сдвига (2.1) соединен с первым входом элемента ИЛИ (2.11), выход которого соединен с входом установки (У) счетчика (2.5), информационные входы которого подключены к выходам третьей группы выходов ПЗУ (2.6). D вход триггера (2.12) подключен к общей шине. Группа выходов блока формирования исходных М-последовательностей (2) соединена с соответствующими входами блока формирования циклической матрицы (3), выход которого соединен с блоком замены элементов (4), первый выход которого соединен с блоком транспонирования (5), выход которого соединен со вторым входом блока умножения матриц (6) первый вход которого соединен со вторым выходом блока замены элементов (4), выход блока умножения матриц соединен со входом блока модификации М-последовательностей (7).

Блок синхронизации и управления (1) выполнен в виде ПЭВМ и блока питания ПЛИС. Блоки (2)-(7) выполнены в виде ПЛИС, например [1].

Заявляемое устройство работает следующим образом.

При включении устройства начинает работать блок синхронизации и управления (1), и регистр сдвига (2.1), второй (2.7) и третий (2.9) регистры устанавливаются в произвольные состояния. При этом состояние третьего регистра (2.9) определяет адрес для выбора из ПЗУ (2.6) значений полинома конкретной М-последовательности, конкретное значение кода начальной установки и конкретное значение кода максимального количества нулей последовательности (вторая, первая и третья группа выходов, соответственно). Таким образом, при первоначальном включении устройства обеспечивается организация обратных связей регистра сдвига (2.1), при которых формируется одна из возможных последовательностей. Далее, если начальное состояние регистра сдвига (2.1) не нулевое, то блок формирования исходных М-последовательностей формирует произвольную М-последовательность (из заданных в ПЗУ (2.6)) до появления в ней серии из нулей, количество которых соответствует коду на выходах третьей группы выходов ПЗУ (2.6) и, следовательно, до появления на выходе заема счетчика (2.5) импульса. Если все разряды регистра сдвига (2.1) имеют нулевое начальное состояние, то счетчик (2.5), работающий в

реверсивном режиме, начинает считать (вычитать) импульсы с выхода блока синхронизации и управления (1), так как на его установочном входе отсутствует сигнал установки логической единицы. После того как количество тактовых импульсов станет равным числу, с которого счетчик (2.5) начал счет, на его выходе заема сформируется импульс, поступающий через элемент ИЛИ (2.11) на вход установки счетчика (2.5) в исходное состояние и на S-вход триггера (2.12). Триггер (2.12) из короткого импульса с выхода счетчика (2.5) формирует импульс длительностью, равной тактовому периоду, который поступает на вход синхронизации второго регистра (2.7), в котором хранится код начальной установки, второй вход элемента И (2.10) и вход управления регистра сдвига (2.1), переводя его в режим записи по установочным входам информации со второго регистра (2.7). Если вид М-последовательности, устанавливаемой кодом на первом группе выходов блока синхронизации и управления (1), не совпадает с содержимым третьего (2.9), то на выходе блока сравнения (2.8) появляется разрешающий сигнал, открывающий элемент И (2.10) и позволяющий импульсу с выхода триггера (2.12) пройти на вход синхронизации третьего регистра (2.9). По переднему фронту импульса происходит запись двоичного кода первой группы выходов блока синхронизации и управления (1) в третий регистр (2.9). Этот код обеспечивает выборку из нулевой ячейки ПЗУ (2.6) информации о виде обратных связей, которая импульсом с блока синхронизации и управления (1) записывается в первый регистр (2.4), кода начальной установки, который записывается во второй регистр (2.7), и кода длины нулевой комбинации, который записывается импульсами (логической единицей) с выхода регистра сдвига (2.1), в счетчик (2.5). По сигналу с блока синхронизации и управления (1) происходит перезапись кода начальной установки в регистр сдвига (1). Таким образом, за время действия импульса с выхода триггера (2.12) происходит занесение необходимого кода вида М-последовательности в регистр (2.9), выбор кода обратных связей и кода начальной установки для регистра сдвига (2.1), запись их первый (2.4) и второй (2.7) регистры и перезаписью в регистр сдвига (2.1). При этом в первый разряд регистра сдвига (2.1) записывается единица, которая устанавливает счетчик (2.5) в исходное состояние. Это происходит при первоначальном включении устройства. В установившемся режиме во время действия импульса с выхода триггера (2.12) происходит подтверждение состояний первого (2.4) и второго (2.7) регистров и постоянная запись одного и того же начального состояния в регистр сдвига (2.1).

С выхода блока формирования исходной М-последовательности (2) сформированная М-последовательность поступает в блок формирования циклической матрицы (3), где из сформированной последовательности длины N циклическим сдвигом (правым) на один элемент формируется квадратная матрица размера $[N \times N]$, в блоке замены элементов (4) элементы входной матрицы преобразуются в символьный вид и элементы равные нулю заменяются на неизвестный элемент -b, а элементы равные единицы остаются без изменений, далее в блоке транспонирования (5) полученная матрица транспонируется и в блоке умножения матриц (6) умножается на матрицу с выхода блока замены элементов (4), результат умножения поступает в блок модификации М-последовательностей (7) где для нахождения неизвестного элемента -b требуется взять элемент матрицы полученной из блока умножения матриц (6), который не лежит на главной диагонали. Так, например для произвольной М-последовательности длиной $N=15$ генерируемая в блоке замены элементов матрица будет выглядеть следующим образом:

$$\begin{bmatrix}
 +1 & -b & -b & -b & +1 & +1 & +1 & +1 & -b & +1 & -b & +1 & +1 & -b & -b \\
 -b & +1 & -b & -b & -b & +1 & +1 & +1 & +1 & -b & +1 & -b & +1 & +1 & -b \\
 -b & -b & +1 & -b & -b & -b & +1 & +1 & +1 & +1 & -b & +1 & -b & +1 & +1 \\
 +1 & -b & -b & +1 & -b & -b & -b & +1 & +1 & +1 & +1 & -b & +1 & -b & +1 \\
 +1 & +1 & -b & -b & +1 & -b & -b & -b & +1 & +1 & +1 & +1 & -b & +1 & -b \\
 -b & +1 & +1 & -b & -b & +1 & -b & -b & -b & +1 & +1 & +1 & +1 & -b & +1 \\
 +1 & -b & +1 & +1 & -b & -b & +1 & -b & -b & -b & +1 & +1 & +1 & +1 & -b \\
 -b & +1 & -b & +1 & +1 & -b & -b & +1 & -b & -b & -b & +1 & +1 & +1 & +1 \\
 +1 & -b & +1 & -b & +1 & +1 & -b & -b & +1 & -b & -b & -b & +1 & +1 & +1 \\
 +1 & +1 & -b & +1 & -b & +1 & +1 & -b & -b & +1 & -b & -b & -b & +1 & +1 \\
 +1 & +1 & +1 & -b & +1 & -b & +1 & +1 & -b & -b & +1 & -b & -b & -b & +1 \\
 +1 & +1 & +1 & +1 & -b & +1 & -b & +1 & +1 & -b & -b & +1 & -b & -b & -b \\
 -b & +1 & +1 & +1 & +1 & -b & +1 & -b & +1 & +1 & -b & -b & +1 & -b & -b \\
 -b & -b & +1 & +1 & +1 & +1 & -b & +1 & -b & +1 & +1 & -b & -b & +1 & -b \\
 -b & -b & -b & +1 & +1 & +1 & +1 & -b & +1 & -b & +1 & +1 & -b & -b & +1
 \end{bmatrix}$$

и в результате умножения ее на транспонированную матрицу элементы главной диагонали результирующей матрицы будут равны $8+7b^2$, а все прочие элементы равны $4-8b+3b^2$. Для нахождения $-b$ решается квадратное уравнение, путем приравнивания произвольного элемента матрицы, не принадлежащий главной диагонали, к нулю. Выбирается наименьший корень данного уравнения, полученное значение элемента $-b$ подставляется в М-последовательность с выхода блока формирования исходной М-последовательности (2).

Для изменения вида генерируемой последовательности достаточно изменить код вида М-последовательностей в блоке синхронизации и управления (1). В результате этого появляется сигнал разрешения на выходе блока сравнения (2.8), во время действия ближайшего импульса с выхода триггера (2.12) происходит смена кода в третьем регистре (2.9). Новые коды из ПЗУ (2.6) записываются в первый (2.4) и второй (2.7) регистры, регистр сдвига (2.1) и счетчик (2.5), что обеспечивает формирование М-последовательности другого вида, смена которого происходит в кратные периоды последовательности моменты времени.

На основании вышеизложенного следует, что заявляемое изобретение по сравнению с прототипом позволяет генерировать модифицированные М-последовательности, и как следствие снизить уровень боковых лепестков ААКФ, что иллюстрирует фиг.2. тем самым увеличивая вероятность обнаружения модифицированной М-последовательности на фоне помех.

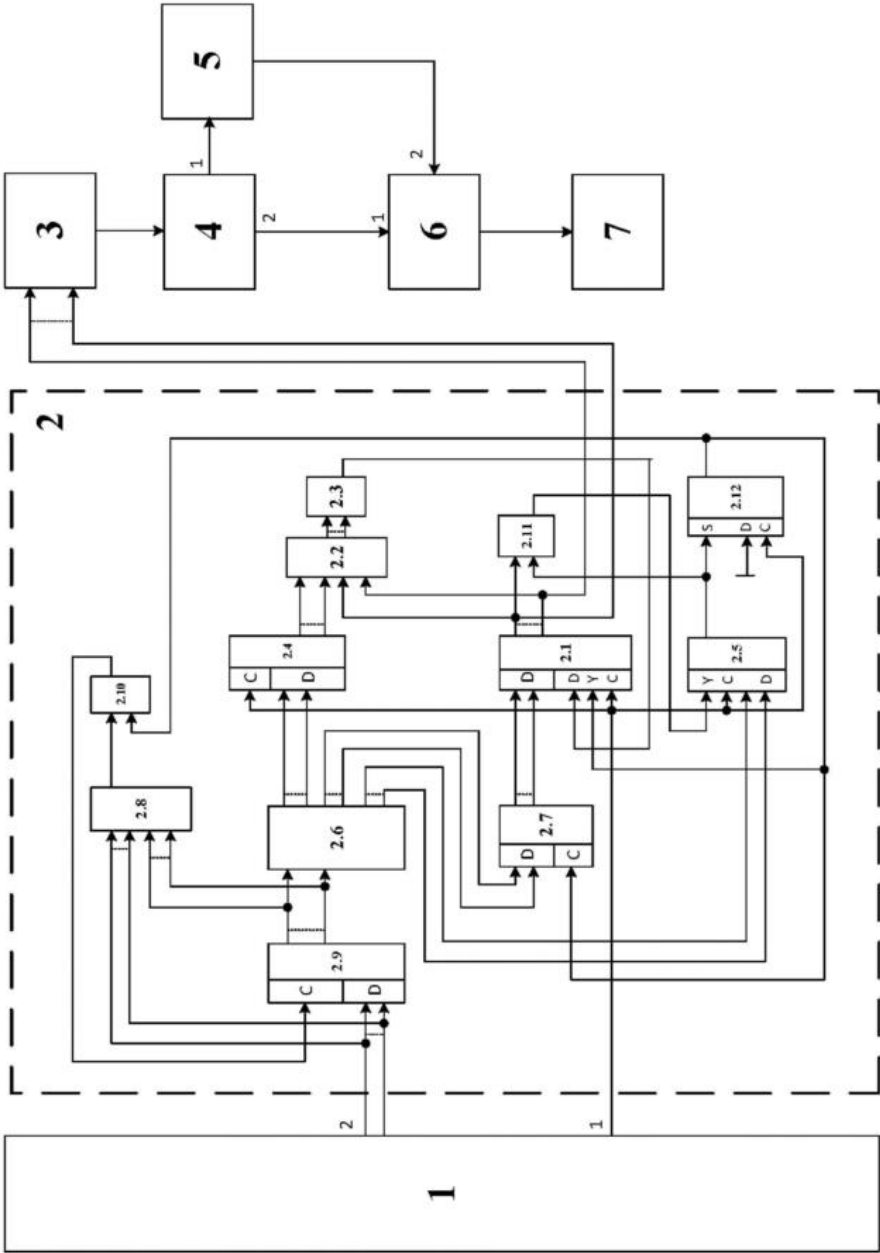
Использованные источники информации

Xilinx Virtex-7 FPGA AMC with Dual TI DSP [Электронный ресурс]. https://www.vadatech.com/product.php?product=513&catid_prev=0&catid_now=217&parentcat=38&parentarc=2 (Дата обращения: 01.01.2023)

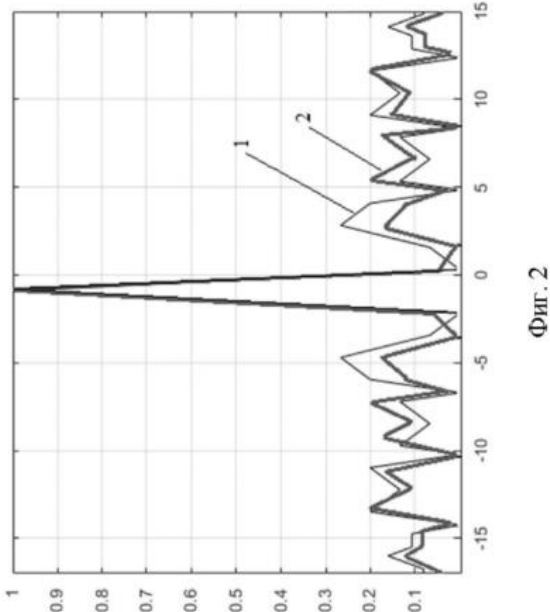
Формула изобретения

Устройство формирования модифицированных М-последовательностей, содержащее регистр сдвига, группу элементов И, сумматор по модулю два, первый регистр, счетчик, ПЗУ, второй регистр, блок сравнения, третий регистр, элемент И, элемент ИЛИ и триггер, причем выход блока сравнения соединен с первым входом элемента И, выход которого соединен с входом синхронизации третьего регистра, выходы которого соединены с соответствующими входами первой группы входов блока сравнения и с соответствующими входами ПЗУ, выходы второй группы выходов которого соединены с соответствующими информационными входами первого регистра, выходы которого соединены со вторыми входами соответствующих элементов И группы элементов И, выходы элементов И которой соединены с входами сумматора по модулю два, выход которого соединен с информационным входом регистра сдвига, выходы которого соединены с первыми входами соответствующих элементов И, выходы первой группы выходов ПЗУ соединены с соответствующими информационными входами второго регистра, выходы которого соединены с соответствующими установочными входами регистра сдвига, вход управления которого соединен с входом синхронизации второго регистра, вторым входом

элемента И и выходом триггера, S-вход которого объединен со вторым входом элемента ИЛИ и выходом счетчика, вход синхронизации которого соединен с входом синхронизации первого регистра, входом синхронизации триггера и входом синхронизации регистра сдвига, выход первого разряда которого соединен с первым входом элемента ИЛИ, выход которого соединен с входом установки счетчика, информационные входы которого подключены к выходам третьей группы выходов ПЗУ, D-вход триггера подключен к общей шине, отличающееся тем, что в устройство дополнительно введены блок синхронизации и управления, блок формирования циклической матрицы, блок замены элементов, блок транспонирования, блок умножения матриц и блок модификации М-последовательностей, причем первый выход блока синхронизации и управления соединен с входом синхронизации регистра сдвига, а вторая группа выходов соединена с соответствующими информационными входами третьего регистра и соответствующими входами второй группы входов блока сравнения, группа выходов регистра сдвига соединена с соответствующей группой входов блока формирования циклической матрицы, выход которого соединен с входом блока замены элементов, первый выход которого соединен с блоком транспонирования, выход которого соединен со вторым входом блока умножения матриц, первый вход которого соединен со вторым выходом блока замены элементов, выход блока умножения матриц соединен с входом блока модификации М-последовательностей.



Фиг. 1



Фиг. 2