

РОССИЙСКАЯ ФЕДЕРАЦИЯ



(19) **RU** (11) **2 866 898** (13) **C1**
 (51) МПК
H03M 1/46 (2006.01)

ФЕДЕРАЛЬНАЯ СЛУЖБА
 ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

Статус: действует (последнее изменение статуса: 28.07.2026)
 Пошлина: учтена за 5 год с 07.04.2030 по 06.04.2031. Установленный срок для уплаты пошлины за 6 год: с 07.04.2030 по 06.04.2031. При уплате пошлины за 6 год в дополнительный 6-месячный срок с 07.04.2031 по 06.10.2031 размер пошлины увеличивается на 50%.

Начисление для уплаты
 пошлины за поддержание
 патента в силе

(52) СПК

H03M 1/00 (2026.05); H03M 1/46 (2026.05); H03M 3/00 (2026.05)

(21)(22) Заявка: **2026109929**, 06.04.2026

(24) Дата начала отсчета срока действия патента:
06.04.2026

Дата регистрации:
27.07.2026

Приоритет(ы):
 (22) Дата подачи заявки: **06.04.2026**

(45) Опубликовано: **27.07.2026** Бюл. № **21**

(56) Список документов, цитированных в отчете о
 поиске: **RU 2692426 C1, 24.06.2019. RU**
202845 U1, 11.03.2021. RU 196624 U1,
06.03.2020. US 2008/0042888 A1, 21.02.2008.

Адрес для переписки:
190000, Санкт-Петербург, ул. Большая
Морская, 67, лит. А, ФГАОУ ВО
"СПГУАП", ЦКНИ

(72) Автор(ы):

Зиятдинов Сергей Ильич (RU),
Аграновский Андрей Владимирович (RU)

(73) Патентообладатель(и):

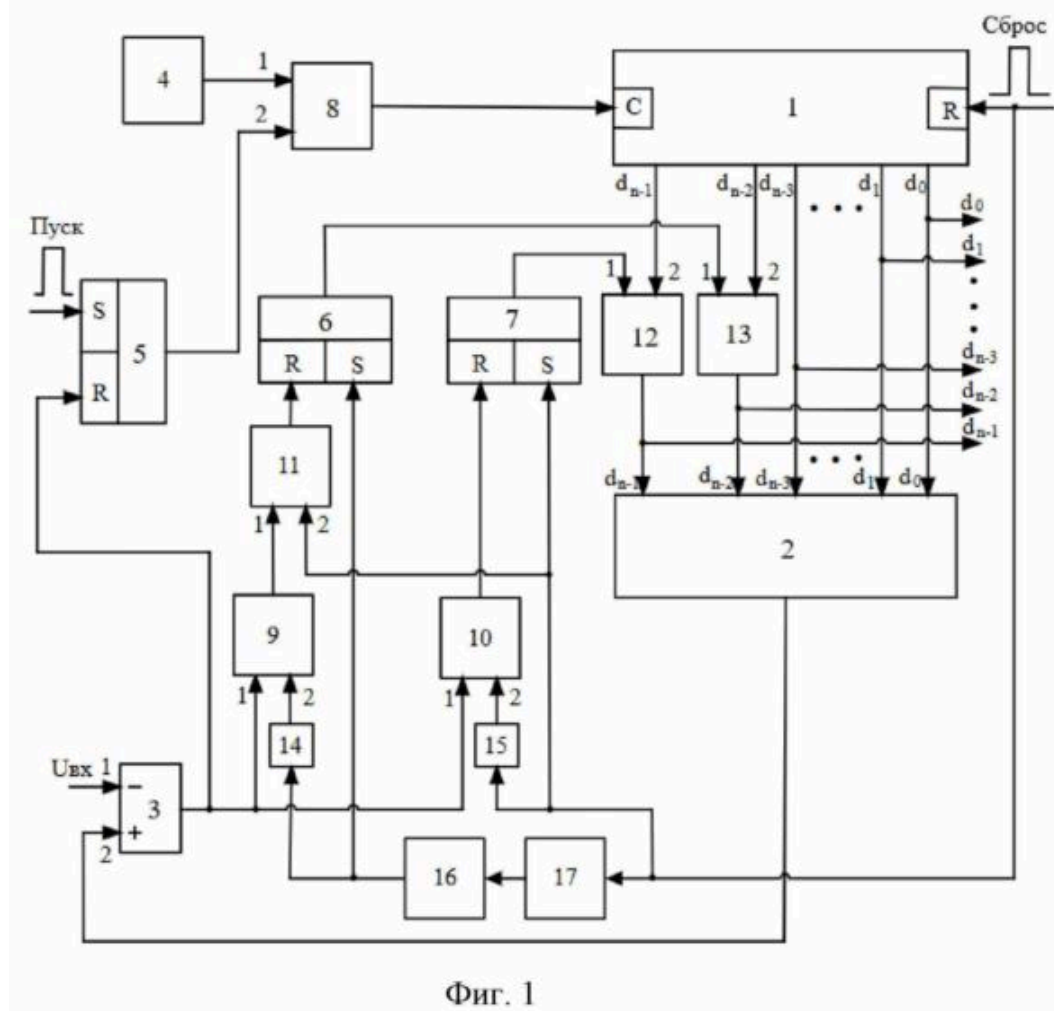
Федеральное государственное автономное
образовательное учреждение высшего
образования "Санкт-Петербургский
государственный университет
аэрокосмического приборостроения" (RU)

(54) Последовательный преобразователь напряжение-код со ступенчатым пилообразным напряжением

(57) Реферат:

Изобретение относится к вычислительной технике. Техническим результатом является повышение быстродействия цифровых устройств обработки. Технический результат достигается тем, что предложен последовательный преобразователь напряжение-код со ступенчатым пилообразным напряжением, содержащий n-разрядный двоичный суммирующий счетчик, n-разрядный параллельный цифроаналоговый преобразователь, компаратор, генератор импульсов тактовой частоты, триггер запуска счета, триггер установки разряда ЦАП, триггер установки старшего разряда, двухвходовые конъюнкторы, двухвходовые дизъюнкторы, линии

задержки, генератор импульса сброса, ждущий мультивибратор. 1 ил.



Изобретение относится к вычислительной технике и может быть использовано при цифровой обработке сигналов для преобразования напряжения в цифровой двоичный код с повышенным быстродействием и минимальным объемом оборудования.

Известен последовательный аналого-цифровой преобразователь напряжение-код, реализующий метод последовательного приближения (Зиатдинов С.И., Суетина Т.А., Поваренкин Н.В. Схемотехника телекоммуникационных устройств. Учебник. М: Академия, 2016. С. 218, рис. 8.3).

Устройство предназначено для преобразования напряжения в двоичный код. Преобразователь содержит n триггеров; n -разрядный сдвигающий регистр; n -разрядный параллельный цифроаналоговый преобразователь; генератор тактовых импульсов и компаратор. Управляющие входы триггеров соединены с соответствующими выходами сдвигающего регистра; выходы триггеров соединены с соответствующими входами параллельного цифроаналогового преобразователя, выход которого соединен с одним из входов компаратора; выход компаратора соединен с управляющим входом сдвигающего регистра и выход генератора тактовых импульсов соединен со входом подачи импульсов сдвига сдвигающего регистра.

Недостатком данного устройства является сложность схемы управления триггерами и большое количество оборудования.

Известен последовательный преобразователь напряжение-код следящего типа (Микропроцессорные системы автоматического управления. Под общей ред. В.А. Бесекерского. Л.: Машиностроение, 1998, с. 300, рис. 12.6). В состав преобразователя входят реверсивный n -разрядный счетчик; n -разрядный параллельный цифроаналоговый преобразователь; генератор импульсов тактовой частоты; компаратор и логические двухвходовые конъюнкторы управления направлением счета. В преобразователе выходы реверсивного счетчика соединены с одноименными входами цифроаналогового преобразователя; выход цифроаналогового преобразователя подключен к одному из входов компаратора, на второй вход которого подается преобразуемое напряжение; выход компаратора через логические элементы подключен к управляющим входам суммирования и вычитания реверсивного счетчика, вход которого соединен с выходом генератора тактовой частоты.

Недостатком устройства является наличие сложного и дорогого реверсивного счетчика, а также большое время начальной установки режима слежения.

Наиболее близким по технической сущности к предлагаемому изобретению является «Последовательный преобразователь напряжение-код со ступенчатым пилообразным напряжением» (Патент РФ № 2692426, МПК H03M 1/46, опубл.: 24.06.2019, Бюл. № 18). Последовательный преобразователь напряжение-код со ступенчатым пилообразным напряжением включает n -разрядный двоичный суммирующий счетчик; n -разрядный параллельный цифроаналоговый преобразователь; компаратор; генератор импульсов тактовой частоты; триггер запуска счета; двухвходовой конъюнктор подачи счетных импульсов b ; триггер установки старшего разряда n -разрядного параллельного цифроаналогового преобразователя; линию задержки; двухвходовой конъюнктор управления триггером установки старшего разряда n -разрядного параллельного цифроаналогового преобразователя и двухвходовой дизъюнктор; выходы $d_{n-2}, \dots, d_0$ n -разрядного двоичного суммирующего счетчика соединены с одноименными входами n -разрядного параллельного цифроаналогового преобразователя; выход старшего разряда d_{n-1} n -разрядного двоичного суммирующего счетчика соединен со вторым входом двухвходового дизъюнктора, первый вход которого подключен к выходу триггера установки старшего разряда n -разрядного параллельного цифроаналогового преобразователя; выход двухвходового дизъюнктора соединен со входом старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя; выход n -разрядного параллельного цифроаналогового преобразователя соединен со вторым входом компаратора; выход компаратора одновременно соединен со входом сброса R триггера запуска счета и первым входом двухвходового конъюнктора управления триггером установки старшего разряда n -разрядного параллельного цифроаналогового преобразователя; выход двухвходового конъюнктора управления триггером установки старшего разряда n -разрядного параллельного цифроаналогового преобразователя соединен со входом сброса R триггера установки старшего разряда n -разрядного параллельного цифроаналогового преобразователя; выход линии задержки соединен со вторым входом двухвходового конъюнктора управления триггером установки старшего разряда n -разрядного параллельного цифроаналогового преобразователя; вход сброса R n -разрядного двоичного суммирующего счетчика соединен одновременно со входом линии задержки и входом S триггера установки старшего разряда n -разрядного параллельного цифроаналогового преобразователя; вход сброса R n -разрядного двоичного суммирующего счетчика служит для подачи импульса сброса; первый вход компаратора служит для подачи преобразуемого напряжения; вход S триггера запуска счета служит для подачи импульса начала преобразования.

Задача, на решение которой направлено заявляемое изобретение, состоит в разработке последовательного преобразователя напряжение-код со ступенчатым пилообразным напряжением, обладающего повышенным быстродействием при минимальном количестве оборудования.

Техническим результатом, достигаемым при осуществлении заявляемого изобретения, является повышение быстродействия цифровых устройств обработки, меняющихся во времени сигналов.

Технический результат достигается тем, что последовательный преобразователь напряжение-код со ступенчатым пилообразным напряжением, включающий n -разрядный двоичный суммирующий счетчик, n -разрядный параллельный цифроаналоговый преобразователь, компаратор, генератор импульсов тактовой частоты, триггер запуска счета, двухвходовой конъюнктор подачи счетных импульсов, триггер установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, линию задержки управления триггером установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, двухвходовой конъюнктор управления триггером установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, двухвходовой дизъюнктор управления старшим разрядом d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, выходы $d_{n-3}, \dots, d_0$ n -разрядного двоичного суммирующего счетчика соединены с одноименными входами параллельного цифроаналогового преобразователя, выход старшего разряда d_{n-1} n -разрядного двоичного суммирующего счетчика соединен со вторым входом двухвходового дизъюнктора управления старшим разрядом d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, выход которого соединен со

входом старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, выход параллельного цифроаналогового преобразователя подключен ко второму входу компаратора, выход компаратора одновременно соединен со входом сброса R триггера запуска счета и первым входом двухвходового конъюнктора управления триггером установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, выход которого соединен со входом сброса R триггера установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, выход триггера установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя соединен с первым входом двухвходового дизъюнктора управления старшим разрядом d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, выход триггера запуска счета подключен ко второму входу конъюнктора подачи счетных импульсов, первый вход двухвходового конъюнктора подачи счетных импульсов соединен с выходом генератора импульсов тактовой частоты, выход двухвходового конъюнктора подачи счетных импульсов соединен со входом C поступления тактовых импульсов двоичного суммирующего счетчика, вход сброса R n -разрядного двоичного суммирующего счетчика одновременно соединен со входом линии задержки управления триггером установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя и входом установки S триггера установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, выход линии задержки управления триггером установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя соединен со вторым входом двухвходового конъюнктора управления триггером установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, вход сброса R n -разрядного двоичного суммирующего счетчика служит для подачи импульса «Сброс», первый вход компаратора служит для подачи преобразуемого напряжения, вход S триггера запуска счета служит для подачи импульса начала преобразования, **дополнительно** содержит триггер установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, двухвходовой конъюнктор управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, двухвходовой дизъюнктор управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, двухвходовой дизъюнктор управления разрядом d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, линию задержки управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, ждущий мультивибратор и генератор импульса сброса, выход разряда d_{n-2} n -разрядного двоичного суммирующего счетчика соединен со вторым входом двухвходового дизъюнктора управления разрядом d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, выход которого соединен со входом разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, выход компаратора дополнительно соединен с первым входом двухвходового конъюнктора управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, выход двухвходового конъюнктора управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя соединен с первым входом двухвходового дизъюнктора управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, выход которого соединен со входом сброса R триггера установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, вход сброса R n -разрядного двоичного суммирующего счетчика дополнительно соединен со входом ждущего мультивибратора и вторым входом двухвходового дизъюнктора управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, выход ждущего мультивибратора соединен со входом генератора импульса сброса, выход которого одновременно соединен со входом линии задержки управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя и входом S триггера установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, выход которого соединен с первым входом двухвходового дизъюнктора управления разрядом d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, выход

линии задержки управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя соединен со вторым входом двухвходового конъюнктора управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, выходы $d_{n-1}, \dots, d_0$ являются выходами преобразователя.

Поставленный технический результат достигается за счет введения дополнительных блоков и связей между ними, что позволяет весь диапазон возможных изменений преобразуемого напряжения разбить на четыре равных поддиапазона. При этом последовательное преобразование напряжения в код методом ступенчатого пилообразного напряжения осуществляется в пределах лишь того поддиапазона, в котором находится текущее значение напряжения, что позволяет в среднем практически в два раза повысить скорость преобразования по сравнению с прототипом без существенных дополнительных затрат на оборудование.

Сущность изобретения поясняется чертежом, представленным на фиг. 1, на котором введены следующие обозначения:

1. n -разрядный двоичный суммирующий счетчик
2. n -разрядный параллельный цифроаналоговый преобразователь
3. компаратор
4. генератор импульсов тактовой частоты
5. триггер запуска счета
6. триггер установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя
7. триггер установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя
8. двухвходовой конъюнктор подачи счетных импульсов
9. двухвходовой конъюнктор управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя
10. двухвходовой конъюнктор управления триггером установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя
11. двухвходовой дизъюнктор управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя
12. двухвходовой дизъюнктор управления старшим разрядом d_{n-1} n -разрядного параллельного цифроаналогового преобразователя
13. двухвходовой дизъюнктор управления разрядом d_{n-2} n -разрядного параллельного цифроаналогового преобразователя
14. линия задержки управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя
15. линия задержки управления триггером установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя
16. генератор импульса сброса
17. ждущий мультивибратор.

Последовательный преобразователь напряжение-код со ступенчатым пилообразным напряжением включает n -разрядный двоичный суммирующий счетчик 1, n -разрядный параллельный цифроаналоговый преобразователь 2, компаратор 3, генератор импульсов тактовой частоты 4, триггер запуска счета 5, триггер установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя 6, триггер установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя 7, двухвходовой конъюнктор подачи счетных импульсов 8, двухвходовой дизъюнктор управления разрядом d_{n-2} n -разрядного параллельного цифроаналогового преобразователя 13, двухвходовой дизъюнктор управления старшим разрядом d_{n-1} n -разрядного параллельного цифроаналогового преобразователя 12, двухвходовой дизъюнктор управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя 11, линию задержки управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя 14, линию задержки управления триггером установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя 15, двухвходовой конъюнктор управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя 9, двухвходовой конъюнктор управления триггером установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя 10.

преобразователя 10, генератор импульса сброса 16 и ждущий мультивибратор 17, выход d_{n-2} двоичного суммирующего счетчика 1 соединен со вторым входом двухвходового дизъюнктора управления разрядом d_{n-2} n -разрядного параллельного цифроаналогового преобразователя 13, выход которого соединен со входом d_{n-2} n -разрядного параллельного цифроаналогового преобразователя 2, выходы $d_{n-3}, \dots, d_0$ двоичного суммирующего счетчика 1 соединены с одноименными входами параллельного цифроаналогового преобразователя 2, выход старшего разряда d_{n-1} двоичного суммирующего счетчика 1 соединен со вторым входом двухвходового дизъюнктора управления старшим разрядом d_{n-1} n -разрядного параллельного цифроаналогового преобразователя 12, выход которого соединен со входом старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя 2, выход параллельного цифроаналогового преобразователя 2 подключен ко второму входу компаратора 3, выход которого одновременно соединен со входом сброса R триггера запуска счета 5, первым входом двухвходового конъюнктора управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя 9 и первым входом двухвходового конъюнктора управления триггером установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя 10, выход которого соединен со входом сброса R триггера установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя 7, выход двухвходового конъюнктора управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя 9 соединен с первым входом двухвходового дизъюнктора управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя 11, выход которого соединен со входом сброса R триггера установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя 6, выход триггера установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя 7 соединен с первым входом двухвходового дизъюнктора управления старшим разрядом d_{n-1} n -разрядного параллельного цифроаналогового преобразователя 12, выход триггера запуска счета 5 подключен ко второму входу конъюнктора подачи счетных импульсов 8, первый вход двухвходового конъюнктора подачи счетных импульсов 8 соединен с выходом генератора импульсов тактовой частоты 4, выход которого соединен со входом S поступления тактовых импульсов двоичного суммирующего счетчика 1, вход сброса R n -разрядного двоичного суммирующего счетчика 1 одновременно соединен со входом линии задержки управления триггером установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя 15, входом S триггера установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя 7, со входом ждущего мультивибратора 17 и со вторым входом двухвходового дизъюнктора управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя 11, выход триггера установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя 6 соединен с первым входом двухвходового дизъюнктора управления разрядом d_{n-2} n -разрядного параллельного цифроаналогового преобразователя 13, выход ждущего мультивибратора 17 соединен со входом генератора импульса сброса 16, выход которого одновременно соединен со входом S триггера установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя 6 и входом линии задержки управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя 14, выход которой соединен со вторым входом двухвходового конъюнктора управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя 9, первый вход компаратора служит для подачи преобразуемого напряжения $U_{вх}$, вход S триггера запуска счета 5 служит для подачи импульса «Пуск» начала преобразования, вход R n -разрядного двоичного суммирующего счетчика 1 служит для подачи импульса «Сброс», выходы $d_{n-1}, \dots, d_0$ являются выходами преобразователя.

Длительность импульса ждущего мультивибратора 17 должна превышать время обработки старшего разряда d_{n-1} цифроаналогового преобразователя 2.

В качестве генератора импульсов тактовой частоты можно использовать, например, автогенератор, в качестве триггера – микросхему K555TP2, в качестве компаратора –

микросхему – AD8564AD, в качестве двухвходового конъюнктора – микросхему K1555ЛИ1, в качестве линии задержки – последовательно соединенные буферные элементы K155ЛН4, в качестве двоичного суммирующего счетчика – микросхему K155ИЕ4, в качестве двухвходового дизъюнктора – микросхему K155ЛЛ1, в качестве параллельного цифроаналогового преобразователя – микросхему K572ПА1, в качестве ждущего мультивибратор и генератора импульса сброса – микросхему K155АГ1 [1], [2].

Последовательный преобразователь напряжение-код со ступенчатым пилообразным напряжением повышенного быстродействия работает следующим образом.

Импульсом «Сброс», подаваемым на вход сброса R двоичного суммирующего счетчика 1, обнуляется содержимое счетчика 1. Одновременно импульс «Сброс» поступает на вход линии задержки 15, вход ждущего мультивибратор 17, на вход установки S триггера 7 и через дизъюнктор 11 на вход сброса R триггера 6. В результате в триггер 7 записывается логическая единица, в триггер 6 записывается логический ноль и запускается ждущий мультивибратор 17. Далее логическая единица с выхода триггера 7 через дизъюнктор 12 поступает в старший разряд d_{n-1} параллельного цифроаналогового преобразователя 2, логический ноль с выхода триггера 6 через дизъюнктор 13 поступает в разряд d_{n-2} параллельного цифроаналогового преобразователя 2. При этом на выходе параллельного цифроаналогового преобразователя 2 устанавливается напряжение, соответствующее коду $100...00_2$, которое делит весь диапазон возможных значений преобразуемого напряжения $U_{\max}$ на два равных поддиапазона $U_{\max}/2$.

Данное напряжение поступает на второй вход компаратора 3, в котором сравнивается с преобразуемым напряжением $U_{\text{вх}}$, поступающим на первый вход компаратора 3. Если преобразуемое напряжение $U_{\text{вх}}$ меньше напряжения $U_{\max}$, поступающего на второй вход компаратора 3, то компаратор 3 срабатывает, на его выходе устанавливается напряжение логической единицы, которое поступает на первый вход двухвходового конъюнктора 10. Одновременно с выхода линии задержки 15 задержанный импульс «Сброс» поступает на второй вход двухвходового конъюнктора 10. При этом на выходе двухвходового конъюнктора 10 устанавливается напряжение уровня логической единицы, которым по входу сброса R сбрасывается триггер 7 и на выходе параллельного цифроаналогового преобразователя 2 формируется нулевое напряжение, то есть формируется двоичный код $000...00_2$.

Далее выходным сигналом ждущего мультивибратора 17 запускается генератор импульса сброса 16. Вырабатываемый импульс сброса поступает на вход установки S триггера 6. В триггер 6 записывается логическая единица, которая через дизъюнктор 13 поступает в разряд d_{n-2} параллельного цифроаналогового преобразователя 2. При этом на выходе параллельного цифроаналогового преобразователя 2 устанавливается напряжение $U_{\max}/4$, соответствующее коду $010...00_2$, которое делит нижний поддиапазон возможных значений преобразуемого напряжения $U_{\max}/2$ на два равных дополнительных поддиапазона $U_{\max}/4$.

Данное напряжение поступает на второй вход компаратора 3, в котором сравнивается с преобразуемым напряжением $U_{\text{вх}}$, поступающим на первый вход компаратора 3.

Если преобразуемое напряжение $U_{\text{вх}}$ меньше напряжения $U_{\max}/4$, поступающего на второй вход компаратора 3, то компаратор 3 срабатывает, на его выходе устанавливается напряжение логической единицы, которое поступает на первый вход двухвходового конъюнктора 9. Одновременно с выхода линии задержки 14 задержанный импульс сброса, вырабатываемый генератором импульса сброса 16, поступает на второй вход двухвходового конъюнктора 9. При этом на выходе двухвходового конъюнктора 9 устанавливается уровень логической единицы, которым по входу сброса R сбрасывается триггер 6 и на выходе параллельного цифроаналогового преобразователя 2 формируется нулевое напряжение, то есть формируется двоичный код $000...00_2$. Это означает, что преобразование входного напряжения $U_{\text{вх}}$ будет вестись в нижней четверти диапазона возможных значений преобразуемого напряжения.

На этом процесс начальной установки преобразователя заканчивается.

Если в рассмотренном случае преобразуемое напряжение $U_{\text{вх}}$ больше напряжения $U_{\max}/4$, поступающего на второй вход компаратора 3, то компаратор 3 не срабатывает,

на его выходе устанавливается напряжение логического нуля, которое поступает на первый вход двухвходового конъюнктора 9. Одновременно с выхода линии задержки 14 задержанный импульс сброса с выхода генератора импульса сброса 16 поступает на второй вход двухвходового конъюнктора 9. При этом на выходе двухвходового конъюнктора 9 устанавливается напряжение уровня логического нуля, которое через дизъюнктор 11 поступает на вход сброса R. Триггер 6 не сбрасывается, на входе d_{n-2} параллельного цифроаналогового преобразователя 2 остается напряжение уровня логической единицы. В результате на выходе параллельного цифроаналогового преобразователя 2 формируется напряжение $U_{\max}/4$, то есть на его входе сформирован двоичный код $010...00_2$. Это означает, что преобразование входного напряжения $U_{\text{вх}}$ будет вестись во второй четверти диапазона возможных значений преобразуемого напряжения ($U_{\max}/2 > U_{\text{вх}} > U_{\max}/4$).

Пусть в результате начальной установки преобразователя на выходе параллельного цифроаналогового преобразователя 2 установилось напряжение $U_{\max}/4$ ($U_{\max}/2 > U_{\text{вх}} > U_{\max}/4$, на входе параллельного цифроаналогового преобразователя двоичный код $010...00_2$). При этом напряжение на выходе компаратора 3 равно нулю, так как напряжение на входе преобразователя $U_{\text{вх}} > U_{\max}/4$.

Далее на вход S триггера 5 поступает импульс запуска, на выходе триггера 5 устанавливается напряжения уровня логической единицы, которое поступает на второй вход двухвходового конъюнктора 8, тем самым разрешая прохождение счетных импульсов генератора импульсов тактовой частоты 4 на вход С n-разрядного двоичного суммирующего счетчика 1. В результате подсчета импульсов на выходе n-разрядного двоичного суммирующего счетчика 1 формируется линейно нарастающий двоичный код, который параллельным цифроаналоговым преобразователем 2 преобразуется в ступенчато нарастающее напряжение. Данное напряжение поступает на второй вход компаратора 3 и сравнивается с преобразуемым напряжением $U_{\text{вх}}$.

В момент времени, когда ступенчато нарастающее напряжение с выхода параллельного цифроаналогового преобразователя 2 становится больше преобразуемого напряжения $U_{\text{вх}}$, компаратор 3 срабатывает, на его выходе формируется напряжение уровня логической единицы, которое поступает на вход сброса R триггера 5. Триггер 5 сбрасывается и через двухвходовой конъюнктор 8 прекращается поступление счетных импульсов на n-разрядный двоичный суммирующий счетчик 1. На этом процесс преобразования заканчивается. Код, установившийся на входах n-разрядного параллельного цифроаналогового преобразователя 2 в момент прекращения счета, является цифровым аналогом преобразуемого напряжения.

Аналогичным образом работает преобразователь при других возможных соотношениях входного напряжений $U_{\text{вх}}$ и $U_{\max}$.

В результате предложенный последовательный преобразователь напряжение-код со ступенчатым пилообразным позволяет практически в два раза повысить быстродействие аналого-цифрового преобразования напряжения в двоичный код по сравнению с прототипом при минимальном дополнительном оборудовании.

Увеличение скорости преобразования достигается за счет того, что весь диапазон возможных изменений преобразуемого напряжения разбивается на четыре равных поддиапазона. При этом последовательное преобразование напряжения в код методом ступенчатого пилообразного напряжения осуществляется в пределах лишь того поддиапазона, в котором находится текущее значение напряжения.

Источник информации

1. Зиатдинов С.И., Суетина Т.А., Поваренкин Н.В. Схемотехника телекоммуникационных устройств. Учебник. М: Академия, 2016.

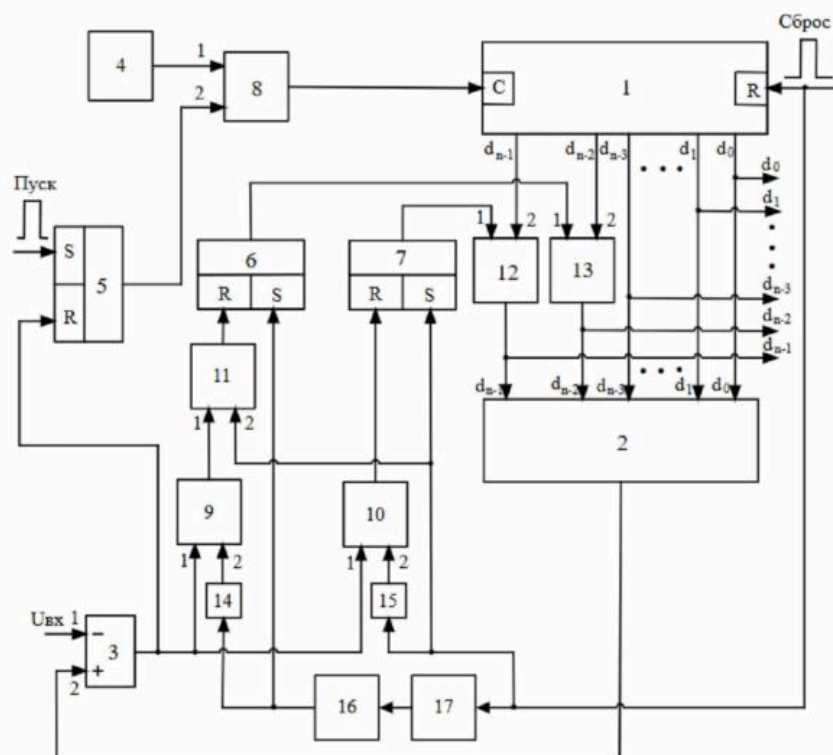
2. Шило В.Л. Популярныe цифровые микросхемы. М.: Радио и связь, 1988.

Формула изобретения

Последовательный преобразователь напряжение-код со ступенчатым пилообразным напряжением, включающий n-разрядный двоичный суммирующий счетчик, n-разрядный параллельный цифроаналоговый преобразователь, компаратор, генератор импульсов тактовой частоты, триггер запуска счета, двухвходовой конъюнктор подачи счетных импульсов, триггер установки старшего разряда d_{n-1} n-разрядного параллельного цифроаналогового преобразователя, линию задержки управления триггером установки старшего разряда d_{n-1} n-разрядного параллельного

цифроаналогового преобразователя, двухвходовой конъюнктор управления триггером установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, двухвходовой дизъюнктор управления старшим разрядом d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, выходы $d_{n-3}, \dots, d_0$ n -разрядного двоичного суммирующего счетчика соединены с одноименными входами параллельного цифроаналогового преобразователя, выход старшего разряда d_{n-1} n -разрядный двоичного суммирующего счетчика соединен со вторым входом двухвходового дизъюнктора управления старшим разрядом d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, выход которого соединен со входом старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, выход параллельного цифроаналогового преобразователя подключен ко второму входу компаратора, выход компаратора одновременно соединен со входом сброса R триггера запуска счета и первым входом двухвходовой конъюнктора управления триггером установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, выход которого соединен со входом сброса R триггера установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, выход триггера установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя соединен с первым входом двухвходовой конъюнктора управления старшим разрядом d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, выход триггера запуска счета подключен ко второму входу конъюнктора подачи счетных импульсов, первый вход двухвходовой конъюнктора подачи счетных импульсов соединен с выходом генератора импульсов тактовой частоты, выход двухвходовой конъюнктора подачи счетных импульсов соединен со входом C поступления тактовых импульсов двоичного суммирующего счетчика, вход сброса R n -разрядного двоичного суммирующего счетчика одновременно соединен со входом линии задержки управления триггером установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя и входом установки S триггера установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, выход линии задержки управления триггером установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя соединен со вторым входом двухвходовой конъюнктора управления триггером установки старшего разряда d_{n-1} n -разрядного параллельного цифроаналогового преобразователя, вход сброса R n -разрядного двоичного суммирующего счетчика служит для подачи импульса «Сброс», первый вход компаратора служит для подачи преобразуемого напряжения, вход S триггера запуска счета служит для подачи импульса начала преобразования, отличающийся тем, что дополнительно содержит триггер установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, двухвходовой конъюнктор управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, двухвходовой дизъюнктор управления разрядом d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, линию задержки управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, ждущий мультивибратор и генератор импульса сброса, выход разряда d_{n-2} n -разрядного двоичного суммирующего счетчика соединен со вторым входом двухвходовой конъюнктора управления разрядом d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, выход которого соединен со входом разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, выход компаратора дополнительно соединен с первым входом двухвходовой конъюнктора управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, выход двухвходовой конъюнктора управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя соединен с первым входом двухвходовой конъюнктора управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, выход которого соединен со входом сброса R триггера установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, вход

сброса R n -разрядного двоичного суммирующего счетчика дополнительно соединен со входом ждущего мультивибратора и вторым входом двухвходового дизъюнктора управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, выход ждущего мультивибратора соединен со входом генератора импульса сброса, выход которого одновременно соединен со входом линии задержки управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя и входом S триггера установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, выход которого соединен с первым входом двухвходового дизъюнктора управления разрядом d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, выход линии задержки управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя соединен со вторым входом двухвходового конъюнктора управления триггером установки разряда d_{n-2} n -разрядного параллельного цифроаналогового преобразователя, выходы $d_{n-1}, \dots, d_0$ являются выходами преобразователя.



Фиг. 1